

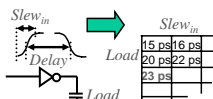
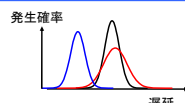
製造・環境ばらつき考慮ゲート遅延モデル

新開 健一 (研究代表者: 橋本 昌宜) [大阪大学 情報科学研究科]

背景・目的

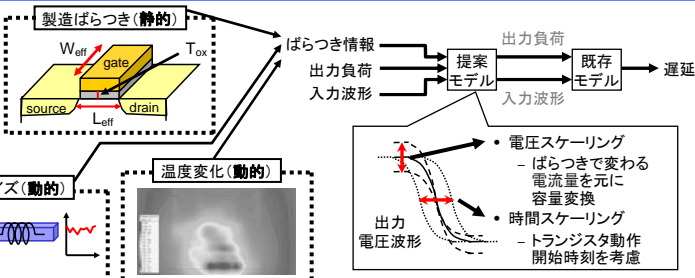
微細化に伴うばらつきの増大

- ばらつきを考慮に入れた遅延解析
 - ワorstケースでは悲観的過ぎる
 - 統計的遅延解析 (SSTA)
- 求められる遅延モデル
 - キャラクタライズが高速
 - 正確に波形の再現が可能 (次段遅延解析に影響)
 - 既存モデルからの移行コストが小さい
- 既存モデル例: テーブル参照モデル
 - 入力遅移時間, 出力負荷の値で各場合の遅延を保持し, それを用いて計算
 - ばらつきを考慮すると
 - テーブルの次元数が膨大に...



提案モデルの目的

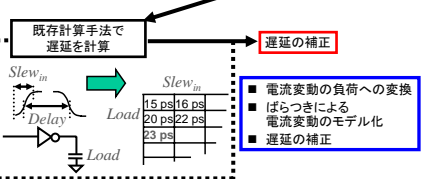
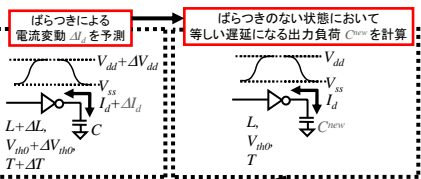
- 既存モデルでばらつき遅延計算を可能に
 - 追加計算コストが小さい
 - 製造・環境ばらつきを統一的に取り扱う
 - 要因の増加に対応が容易
 - 既存タイミング解析手法の前処理に適用



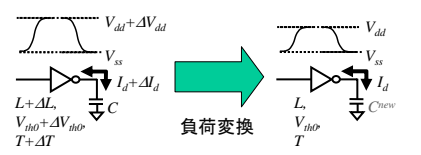
提案ゲート遅延モデル

概要

- ばらつきによる電流変動を負荷に置き換え
- トランジスタ動作開始時刻を考慮し最後に遅延を補正



電流変動の負荷への変換



ばらつきによる電流変動を出力負荷に変換

$$C^{new} = \frac{I_d}{I_d + \Delta I_d} \cdot \frac{V_{dd} + \Delta V_{dd}}{V_{dd}} \cdot C$$

変換前後で遅延は等しくなる

$$I_d + \Delta I_d : I_d = Q : Q^{new}$$

$$= C(V_{dd} + \Delta V_{dd}) : C^{new} V_{dd}$$

- 出力負荷が配線などから構成される RC 負荷の場合
- 上式の C を出力アドミタンス Y に置き換えることで同様な計算が可能

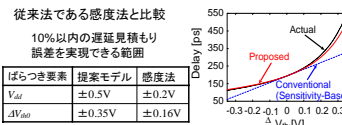
評価結果

評価条件

- 対象プロセス: 90 nm
 - インバータを対象に以下の負荷, 入力を与える
 - 出力容量: 2, 10, 100, 500 fF
 - 入力遅移時間: 10, 100, 500 ps (fanout = 1, 8, 26 に対応)
- ばらつき: 以下の表の 4 要素で正規分布を仮定
- 電源電圧, 閾値電圧オフセットは性能可変設計を考慮し広い範囲を想定
- 回路シミュレータ: HSPICE を使用

| ばらつき要素 | 平均 | 3σ |
|-----------------------------|--------|--------|
| チャネル長 L | 100 nm | 20 nm |
| 電源電圧 V _{dd} | 1.0 V | 0.5 V |
| 閾値電圧オフセット ΔV _{th0} | 0 V | 0.3 V |
| 温度 T | 37.5°C | 82.5°C |

適用可能範囲



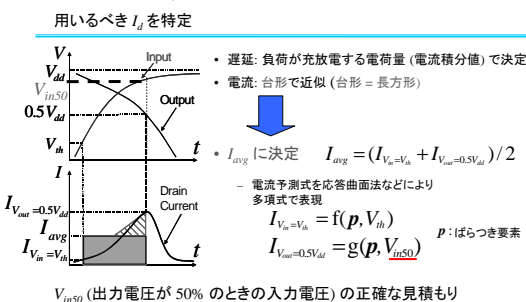
広いばらつきを扱える

電流変動のモデル化

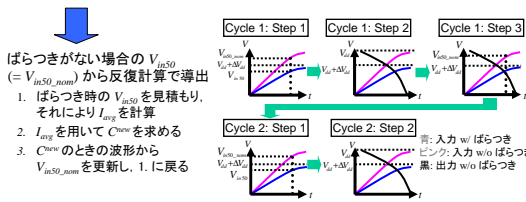
ここでの目的

- 用いる I_d によって C^{new} の結果は大きく変わる
- しかし, I_d は時間と共に変化

用いるべき I_d を特定し, それを簡単に求める方法を提案



- V_{in50} を正確に見積もれないと, I_d 精度が低下し, 適切な C^{new} が得られない
- V_{in50} は入力波形・負荷・ばらつきに依存し, 決定が困難



V_{in50} の算出

- V_{in50_nom} からの差分 ΔV_{in50} は
- 入力遅移時間 < 出力遅移時間: $\Delta V_{in50} = \Delta V_{in50_fast} = \frac{\Delta V_{dd}}{V_{dd}}$
- 入力遅移時間 > 出力遅移時間: $\Delta V_{in50} = \Delta V_{in50_slow} = \frac{\Delta V_{dd} + \Delta V_{th,n} - |\Delta V_{th,p}|}{2}$

- 入力/出力遅移時間の大小によらない統一した V_{in} 更新式を次の式で表す
- $$V_{in50} = V_{in50_nom} + \frac{V_{in50_nom} \Delta V_{in50_fast} + (V_{dd} - V_{in50_nom}) \Delta V_{in50_slow}}{V_{dd}}$$

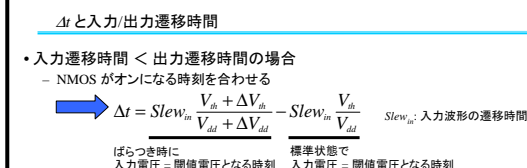
- V_{in50_nom} が入力/出力遅移時間の比をよく表しているため

遅延の補正

ここでの目的

- C^{new} を用いて得られた遅延 $Delay_{prop}$ は, 求めたい遅延 $Delay_{target}$ とは異なる
- ばらつきによるトランジスタ動作開始時刻のずれ Δt に起因
- $Delay = Delay_{prop} + \Delta t$ で補正が必要

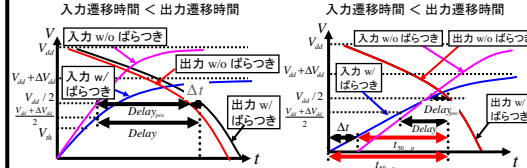
Δt を求める方法を提案



- 入力遅移時間 < 出力遅移時間の場合
- NMOS がオンになる時刻を合わせる

$$\Delta t = Slew_{in} \frac{V_{th} + \Delta V_{th}}{V_{dd} + \Delta V_{dd}} - Slew_{in} \frac{V_{th}}{V_{dd}}$$

- 入力遅移時間 > 出力遅移時間の場合
- 出力電圧が 50% となる時刻を合わせる
- PMOS の影響も大きくなるため, NMOS がオンになる時刻を合わせるのは不適切

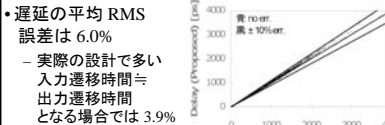


Δt の算出

- 補正に用いる Δt は
- 入力遅移時間 < 出力遅移時間: $\Delta t = \Delta t_{fast} = Slew_{in} \frac{V_{th} + \Delta V_{th}}{V_{dd} + \Delta V_{dd}} - Slew_{in} \frac{V_{th}}{V_{dd}}$
- 入力遅移時間 > 出力遅移時間: $\Delta t = \Delta t_{slow} = t_{50_v} - t_{50_p}$

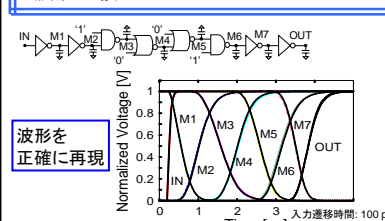
- 入力/出力遅移時間の大小によらない統一した遅延補正式を次の式で表す
- $$\Delta t = \frac{V_{in50_nom} \Delta t_{fast} + (V_{dd} - V_{in50_nom}) \Delta t_{slow}}{V_{dd}}$$

遅延精度



高い精度で遅延見積もりが可能

波形比較

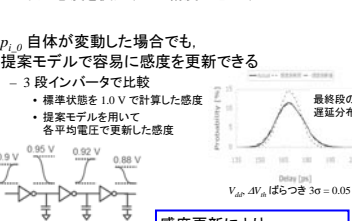


色線: 実際のばらつき時
黒線: 提案モデル

感度ベース SSTA への利用

$$d = d_0 + \sum_{p_i} \frac{\partial d}{\partial p_i} \Delta p_i$$

- ばらつき要素 p_i の標準値 $p_{i,0}$ 自身が変動 ($p_i \rightarrow p_{i,0}$) すると, 標準条件 $p_{i,0}$ で求めた感度 (図黒線) は実際の感度 (図赤線) とは異なる
- 同じ感度を使用すると精度が悪化する



感度更新により, 分布がよく再現できている

まとめ

まとめ

- 製造・環境ばらつきに対応したゲート遅延モデルを提案
- 工夫点
 - 電流に着目し, ばらつきによる電流変動を負荷に変換
 - 負荷変換には平均電流 I_{avg} を使用
 - 出力 50% 時の入力電圧を, トランジスタの動作を考慮し求めた
- 遅延の補正手法を適切に求めた
- 精度
 - 現実的な出力容量・入力遅移時間の組み合わせでは, 遅延の平均 RMS 誤差は 3.9%
- 使用
 - 既存遅延モデルをばらつきに対応させる
 - 感度ベースモデルの感度更新に用いることで, 高精度な SSTA を可能にする